

キャリア生成結合項がn-MOSデバイスの
数値シミュレーション上に及ぼす影響と問題点

青木 孝, 村田 健郎

神奈川大学 理学部 情報科学科

電子・正孔の2キャリアn-MOSデバイスモデルにおいて、移流拡散方程式のキャリア生成結合項が付加されることによる数値シミュレーション上の負荷を検討した。その結果、2段階あみ目とリゾーニングを併用する方法がCPU時間短縮には有効であることが分かった。また、GR項の影響を数値シミュレーションと物理現象との両面で比較した。

The problem and effect of generation-recombination
term in numerical simulation

Takashi Aoki, Kenrou Murata

Faculty of Science, Kanagawa Univ.

Hiratsuka Kanagawa 259-12 JAPAN

In this paper we investigate the problem and effect for 2 carrier n-MOS device simulation with carrier generation-recombination term in diffusion equations. As a result, we affirm the validity of the method which takes 2-step mesh sizing and rezoning for shortening of CPU time. Then, we evaluate the result of simulations physically.

1 はじめに

n-MOSトランジスタの定常動作を数値シミュレーションするモデルは、電位 ϕ についてのポアソン方程式と電子密度 n と正孔密度 p の移流拡散方程式との連立系である。定常解を得る場合には次式となる。

$$\text{div} [-\epsilon \nabla \phi] = e (p - n + C), \quad C = -N_a + N_d \quad (1)$$

$$\text{div} [-D_n \nabla n + (\mu_n \nabla \phi) n] = GR \quad (2)$$

$$\text{div} [-D_p \nabla p - (\mu_p \nabla \phi) p] = GR \quad (3)$$

ここで、 e は定数、 C 、 ϵ は場所の関数で、それぞれ不純物のドーピング濃度、誘電率を表す。 D 、 μ は、電位 ϕ と場所の関数で、 $\mu/D = 38.68$ のインシュタインの関係にある。 μ はモビリティで、山口モデル(SiO_2/Si 界面散乱効果)に従い計算する。

$$\mu^y = \mu^{LIE} / (1 + |E_{\perp}| / E^{crit})^{0.5}, \quad E^{crit} = 6.49 D^4 [V/cm]$$

$$\text{ここで, } \mu^{LIE} = \mu^{LI} / (0.5 + 0.5 \cdot (1 + (2 \mu^{LI} \cdot E / v^{sat})^2)^{0.5})$$

$$C_0 = (1 + C_1 / (C^{ref} + C_1 / S))^{0.5}, \quad \mu^{LI} = \mu^L / C_0$$

$$C^{ref} = 3.0 D 16 [cm]^{-3}, \quad S = 350, \quad C_1 \text{は(イオン化された)不純物濃度,}$$

$$v^{sat} = 1.05 D 7 [cm/sec]$$

μ^{LIE} の有名なモデルは、Scharfetter・Gummelのモデルであるが、予備的なテストの結果は、上記のAlleyのモデルと比べ、相違はドレイン電子電流において1%程度であったので、Alleyのもの^[4]に固定した。GRは、n-pキャリアの生成結合項で、 n 、 p 、 ϕ と場所の関数である。

本論文では、このGR項をn-MOSモデルに組み込まない場合($GR=0$)と、組み込む場合で、数値シミュレーション上どのような影響と問題点があるかを検討する。あわせて数値結果と物理現象との評価も行う。なお、CPU時間はHITAC M680 IAP付きで計測してある。

2 数値シミュレーションモデル

式(1)(2)(3)をCV法によって離散化し、ガンメルの方法に習って計算可能な反復スキームを作る。ポアソン方程式の残差を収束判定に用いて、初期値 $\phi^{(0)}$ 、 $n^{(0)}$ 、 $p^{(0)}$ から逐次 k 回目の解析結果 $\phi^{(k)}$ 、 $n^{(k)}$ 、 $p^{(k)}$ を更新していく(図1)。電子密度 n と正孔密度 p は、近似的には、電位 ϕ の関数として次式のように指数関係的に

近似初期値 $\phi^{(0)}$ 、 $n^{(0)}$ 、 $p^{(0)}$ を作る。 $k=0$

$$|\text{div} [-\epsilon \nabla \phi^{(k+1)}] - e (p^{(k+1)} - n^{(k+1)} + C)| > EPSNO$$

: ポアソン方程式の残差で収束判定

①ポアソン方程式 $\text{div} [-\epsilon \nabla \phi^{(k+1)}] + e (p^{(k)} + n^{(k)}) \phi^{(k+1)} = e (p^{(k)} + n^{(k)}) \phi^{(k)} + e (p^{(k)} - n^{(k)} + C)$ を解く

②電界 $E^{(k+1)} = E(\phi^{(k+1)}) = -\epsilon \nabla \phi^{(k+1)}$ の計算

③電子の移流拡散方程式 $\text{div} [-D_n \nabla n^{(k+1)} + (\mu_n \nabla \phi^{(k+1)}) n^{(k+1)}] = GR^{(k)}$ を解く

④正孔の移流拡散方程式 $\text{div} [-D_p \nabla p^{(k+1)} - (\mu_p \nabla \phi^{(k+1)}) p^{(k+1)}] = GR^{(k)}$ を解く

⑤電流密度 $J_n^{(k+1)} = J_n(n^{(k+1)}, \phi^{(k+1)})$
 $J_p^{(k+1)} = J_p(p^{(k+1)}, \phi^{(k+1)})$ の計算

⑥キャリア生成結合項 $GR^{(k+1)} = GR(n^{(k+1)}, p^{(k+1)}, E^{(k+1)}, J_n^{(k+1)}, J_p^{(k+1)})$ の計算

$k = k + 1$

図1 ガンメルの反復手順

結ばれていることを考慮して、次式の ϕ の一次近似の項を主要項と考えて左辺扱いにする(ガンメルの方法)。

$$n = n_i \exp[\alpha(\phi_0 - \phi)], \quad p = n_i \exp[\alpha(\phi - \phi_0)]$$

$$\alpha = 38.68, \quad n_i = 1.5 D 15, \quad \phi_0, \phi_n \text{は場所の関数}$$

移流拡散方程式(2)(3)については、ベルヌーイ(指数)差分が必須であり中心差分では、セル・ベクレ数を2

以下におさえることが実用上不可能である（また、できたとしても精度的にはなはだ劣る）。

このガンメル法の反復スキームでは、初期値 $\phi^{(0)}$, $n^{(0)}$, $p^{(0)}$ の重要性が分かっている。予想される解 ϕ , n , p に近い解を初期値として与えないと非線形性のために解けない。初期値のよしあしによって CPU 時間も大きく違ってくる。例えば、生成結合項 GR を組み込むモデルを解析する場合に、GR を考慮した近似結果 $\phi^{(0)}$, $n^{(0)}$, $p^{(0)}$ を初期値として使う時と、GR なしの近似結果を初期値として使う時ではガンメルの反復回数に大きく影響を与える。表 1 のように、GR 項の効果が見れるドレイン電圧 $V_D = 6.0$ [V]、ゲート長 $L_G = 0.6$ [μm]、ゲート電圧 $V_G = 3.0$ [V] では、GR なし近似初期値を使う方が 1.23 倍ガンメル反復が増える。反復 1 回当たりのポアソン方程式解法の ICCG 反復回数、移流拡散方程式 (n と p) 解法の BCGSTAB3 (VAN DER VORST による) 反復回数も増加する。初期値を作る時間まで全体で考えても、 $V_D = 6.0$ [V] で、CPU 時間としては、GR あり初期値の場合が (325 + 4053 = 4378) 秒、GR なし初期値の場合が (213 + 5114 = 5327) 秒で、やはり 2 割ほど GR なし初期値の方が増加する。なお、数値上注目する計算点は、ゲートドレイン端とし、図 2 に丸印で位置を示す。

表 1 初期値の違いによる CPU 時間の比較 (ゲート長 0.6 [μm], $V_G = 3$ [V])

| V_D | 初期値 | ガンメル反復 | ICCG (ϕ), BCG 反復 (n, p) | CPU 時間 | ドレイン電子電流 | ゲートドレイン端の GR |
|---------|-------|------------|--|-------------|-------------------|--------------|
| 6.0 [V] | GR あり | 155 (1.0) | 716 9440 7215 [4.6] [60.9] [46.5] | 4053 (1.0) | 0.532174 (100%) | 0.958228D27 |
| | GR なし | 192 (1.23) | 1166 11875 9087 [6.0] [61.8] [47.3] | 5114 (1.26) | 0.532168 (0.001%) | 0.958221D27 |

([] は、ガンメル反復 1 回当たりの平均)

また、現在シミュレーションでは、図 2 のように、ゲート端から基板まで 2.4 [μm] とっており、ポアソン方程式はこの全面で計算するが、移流拡散方程式 (n と p) は、計算時間短縮のために適切にカットして計算する場を設定する (図 2 の $L_{YS} = 1.2$ [μm])。1 段あみ目の時には、カットした境界での n , p の値は、中性領域の範囲内でカットするという約束で、基板の固定境界条件と同じ値をカット線の固定境界条件として近似的に用いる。

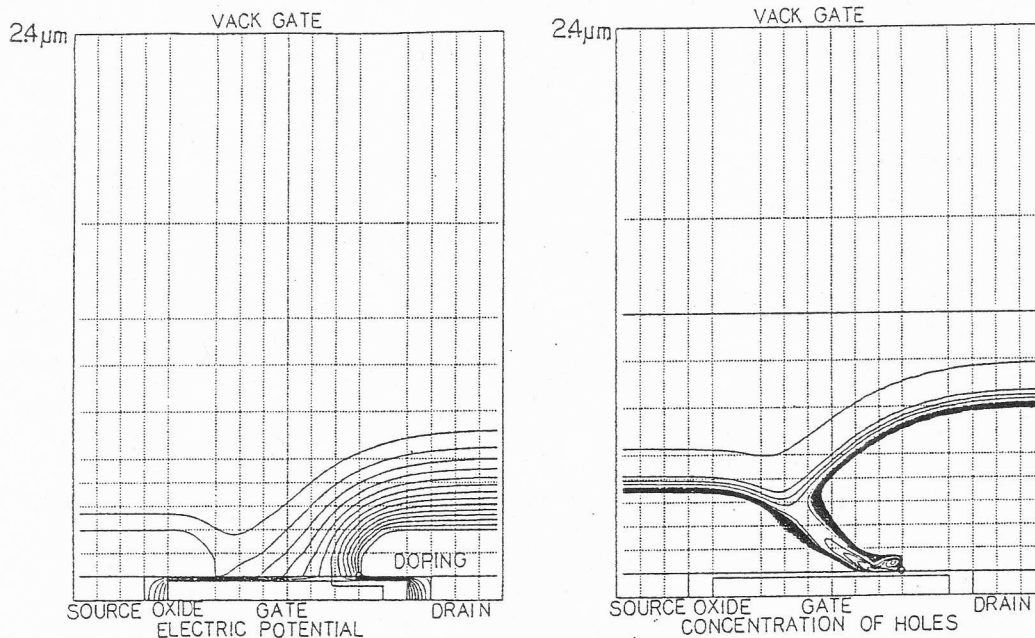


図 2 n-MOS シミュレーション場 (左: 電圧分布, 右: 正孔密度分布)

例えば、GR 項を組み込まない場合で、ゲート長 $L_G = 0.6$ [μm]、ドレイン電圧 $V_D = 6.0$ [V]、ゲート電圧 $V_G = 3.0$ [V] の全面とゲート端から基板方向へ向かって 1.2 [μm] の所までの場で移流拡散方程式 (n と p) を解いた時の比較は、表 2 のようになる。移流拡散方程式を解く場の範囲を空乏層の基板側の中性領域でカットする場合には、表 2 のようにドレイン電子電流値の相対的相違は、0.1% 以下となる。半分カットしたことによ

り、CPU時間は、およそ2割の短縮である。実際には、ページスワップの負担が大幅に減って、本人にとっては待ち時間が大幅に減り、また、同時に走らすTSS応答時間が大いに軽減される。

3 2段階あみ目法の効用

これまでの研究から、CPU時間を節約するために、CV法の離散化に2段階あみ目法を応用してガンメル反復の初期値 $\phi^{(0)}$ 、 $n^{(0)}$ 、 $p^{(0)}$ を作成する方法が優れていることが分かっている。最終的に解析したいメッシュの場合（例えば、ゲート長 $0.6 [\mu\text{m}]$ で基板方向130分割、チャンネル方向223分割、よって元数 $130 \times 223 = 28990$ ）の半分の粗さのメッシュの場合（元数 $71 \times 111 = 7881$ ）で粗く解析しておいて、その数値結果を内挿して最終的な場（粗メッシュ $\times 2$ ）のガンメル近似初期値をつくる。直接に最終メッシュで解析する場合と、2段階あみ目法を応用して、まず近似初期値を作ってから最終メッシュで解析する場合を比較した一例を表3に示す。ゲ

表2 移流拡散方程式（ n と p ）の場をカットした結果

| 場のカット LYS | ガンメル 反復 | ICCG (ϕ), BCG反復 (n, p) | CPU 時間 | ドレイン 電子電流 |
|--------------------------|------------|--------------------------------------|-------------------|----------------------|
| 全面 $2.4 \mu\text{m}$ | 93 回 | 1249 6732 4152 回 | 2875 sec (1.0) | 0.466000 (100%)mA |
| カット $1.2 \mu\text{m}$ | 93 | 1249 6768 3435 | 2511 (0.873) | 0.466000 (100%) |

(ゲート長 $0.6 [\mu\text{m}]$, $V_G = 3 [\text{V}]$, $V_D = 6 [\text{V}]$, $GR = 0$)

表3 2段階あみ目法を応用した初期値作成の効果

| GR | 手順 | 初期値作成 に使う時間 | 最終メッシュ の解析 | CPU 時間合計 | ドレイン 電子電流 |
|-----------|----------------|----------------|-----------------|-------------------|----------------------|
| GR = 0 | 直接に最終 メッシュ | 0 sec | 2511 sec | 2511 sec (1.0) | 0.466000 (100%)mA |
| | 2段階あみ 目法の応用 | 212 | 854 | 1066 (0.424) | 0.464843 (0.248%) |
| GR 入り | 直接に最終 メッシュ | 0 | 計算不能/ 途中打ち切り | — sec | — mA |
| | 2段階あみ 目法の応用 | 325 | 4053 | 4378 | 0.532174 |

(ゲート長 $0.6 [\mu\text{m}]$, $V_G = 3 [\text{V}]$, $V_D = 6 [\text{V}]$)

表4 2段階あみ目とリゾーニング併用法の手順

| 従来の方法 | 2段階あみ目とリゾーニングの併用法 |
|---|---|
| ① $V_D = 6 [\text{V}]$, $V_G = 0 [\text{V}]$ 粗いメッシュ, ガンメル法の収束判定値 : $EPSNO = 1.0D-2$, 移流拡散 方程式の場合は $LYS = 1.2 [\mu\text{m}]$ で カット | ① 左と同じ |
| ② $V_D = 6 [\text{V}]$, $V_G = 3 [\text{V}]$ 粗いメッシュ, $EPSNO = 1.0D-2$, 結果を内挿 ($\times 2$) して2段階あみ 目の初期値を作る | ② 左と同じ |
| ③ $V_D = 6 [\text{V}]$, $V_G = 3 [\text{V}]$ 精しいメッシュ, $EPSNO = 0.5D-3$ (必要精度) | ③ $V_D = 6 [\text{V}]$, $V_G = 3 [\text{V}]$ 精しいメッシュ, $EPSNO = 1.0D-2$ として解析を粗く (③の途中) 打ち 切る |
| | ④ $V_D = 6 [\text{V}]$, $V_G = 3 [\text{V}]$ 手順③の結果をゲート端から基板方向 に $0.4 [\mu\text{m}]$ の範囲で切り出しズー ミングし, 境界値 ϕ, n, p を固定境界 条件として全面で必要精度まで解析する , 精しいメッシュ, $EPSNO = 0.5D-3$ |

ート長0.6 [μm], ゲート電圧3 [V], ドレイン電圧6 [V] として計算した. 表3のGR=0の結果から, たとえ2段階あみ目法で初期値を計算する時間を使っても, 全体では直接に最終メッシュで解析する場合よりもCPU時間は短縮できることが分かる. 特に, GR項を組み込んだ解析の場合で, GR項が効果を現す条件では, 最終メッシュサイズが0.1 [μm] 当り24分割では直接に解けるが, 表3に示すように, 64分割になると直接に最終メッシュでは, 常識の計算時間内では解けない. しかし, 2段階あみ目法ならば, 直接に精しいメッシュで解けない場合でも常識の範囲で解ける. GR=0の場合には, 両手順を比較して, およそ3割の計算時間短縮となり, ドレイン電子電流の相対的相違は, 0.5%以下である.

本論文では, この2段階あみ目法と, 解析する場の範囲を2段階に狭めていくリゾーニング法を併用して, CPU時間短縮とドレイン電子電流の相対的相違という観点から考察する. 通常, 例えばドレイン電圧 $V_D=6$ [V], ゲート電圧 $V_G=3$ [V] のn-MOSシミュレーションする場合, まず $V_D=6$ [V], $V_G=0$ [V] を解き, それを初期値として次に V_G を加え, $V_D=6$ [V], $V_G=3$ [V] を解析する. V_G を先に加えることも考えられるが, V_D を先に加えた方が総CPU時間が大幅に短い. その事をふまえて, 従来は, 粗いメッシュで V_D のみを上げ, 次に V_G を加えて粗く解析した後, その解を2倍の精しいメッシュ(2段階あみ目)に内挿し精しい解析の初期値として, 必要精度まで精しく解析してきた.

表5. 1 2段階あみ目とリゾーニング併用法の効果(ゲート長0.6 [μm], $V_D=6$ [V])

| GR | 手順 | ガンメル 反復 | ICCG (ϕ), BCG反復 (n, p) | | | 残差 CNR | ドレイン 電子電流 | CPU時間 |
|-----------|----------------|------------|----------------------------------|------|-----------|-----------------|----------------------|----------------------|
| GR 入り | ③ | 155 回 | 756 | 9440 | 7215 回 | 0.498734 D-3 | 0.532174 (100%)mA | 4053 (1.0) sec |
| | ③ ⁻ | 5 | 85 | 398 | 314 | 0.834886 D-2 | 0.523676 (1.59%) | 189 |
| | ④ | 34 | 185 | 2355 | 1432 | 0.497155 D-3 | 0.529933 (0.42%) | 632 計[821] (0.20) |
| GR = 0 | ③ | 34 | 293 | 2341 | 1145 | 0.480693 D-3 | 0.464843 (100%) | 854 (1.0) |
| | ③ ⁻ | 3 | 64 | 235 | 112 | 0.557960 D-2 | 0.455373 (2.03%) | 102 |
| | ④ | 31 | 204 | 2193 | 262 | 0.466537 D-3 | 0.464677 (0.035%) | 435 計[537] (0.62) |

表5. 2 2段階あみ目とリゾーニング併用法の効果(ゲート長0.6 [μm], $V_D=5$ [V])

| GR | 手順 | ガンメル 反復 | ICCG (ϕ), BCG反復 (n, p) | | | 残差 CNR | ドレイン 電子電流 | CPU時間 |
|-----------|----------------|------------|----------------------------------|------|-----------|-----------------|----------------------|----------------------|
| GR 入り | ③ | 105 回 | 465 | 6123 | 4834 回 | 0.495888 D-3 | 0.444038 (100%)mA | 2679 (1.0) sec |
| | ③ ⁻ | 4 | 75 | 324 | 242 | 0.537555 D-2 | 0.438607 (1.22%) | 156 |
| | ④ | 31 | 166 | 2067 | 1154 | 0.443934 D-3 | 0.442862 (0.264%) | 548 計[704] (0.26) |
| GR = 0 | ③ | 34 | 277 | 2410 | 1175 | 0.429337 D-3 | 0.423678 (100%) | 871 (1.0) |
| | ③ ⁻ | 3 | 63 | 243 | 118 | 0.529249 D-2 | 0.416727 (1.64%) | 105 |
| | ④ | 30 | 192 | 2113 | 235 | 0.485097 D-3 | 0.423475 (0.047%) | 420 計[525] (0.60) |

今回は, 内挿した精しいメッシュの初期値を使った精しい解析を粗くで打ち切り, その解をゲートから基板方向に0.4 [μm] の所で水平にカット(リゾーニング)して解析範囲をせばめ, その解の境界値を固定境界条件として, 精しく必要精度まで解析する方法を試みた(表4). 解析用のメッシュは, 実用上不均等メッシュが必須である. メ

メッシュのきざみは、 SiO_2 界面でチャネル方向の分割の精しさが電流計算には精度上重要であることが分かっている。今回の方式比較では、一番精しいメッシュで $0.1 [\mu\text{m}]$ 当り64分割を基準にした。あみ目の精しさと精度という観点からは、128に分割したい。64分割では、ドレイン電流値が128分割に比べ6%ほど高い。計算時間の点から不満足ではあるが、やむおえず64分割にした。ポアソン方程式を解く行列方程式の元数は、大半のメッシュが基板方向に $0.4 [\mu\text{m}]$ の範囲に集中しているので、 $0.4 [\mu\text{m}]$ の範囲にリゾーニングしても、元数はカットした長さに比例しては減少しない。解析の場をゲート長 $0.6 [\mu\text{m}]$ とすると、2段階あみ目の粗いメッシュから精しいメッシュへ内挿する所で、元数は n 、 $n=12502$ 元から 46992 元へ切り替わり、リゾーニングすると元数は、 33108 元となる。

表5の結果は、 $V_G=3 [\text{V}]$ の元で、GR項の効果が現れるゲート長が、 $0.6 [\mu\text{m}]$ の短チャネルの場合で、 $V_D=6 [\text{V}]$ と $5 [\text{V}]$ の場合をシミュレーションしたものである。GR項の効果は、短チャネルの場合にCPU比で、 $4053/854$ と、およそ4.7倍のCPUへの負担となっている。表5の結果から、特にGR項の効果が現れる条件（短チャネルで V_D が高い）では、従来方法に比べ、2段階あみ目とリゾーニングの併用法が非常に優れていることが分かる。およそ8割のCPU時間の短縮となり、ドレイン電子電流の相対的相違も0.5%以下である。また、長チャネルのGR項の効果が現れない場合でも、併用法を使うことによりCPU時間をおよそ3割減少できる。実用上は、CPU時間ばかりでなく、ページスワップの低減効果の方が有難いことがある。

4 キャリヤ生成結合項 (GR) の効果

GR項は、物理的な側面から次の3項から構成してある。

$$GR = (GR)_{SRH} + (GR)_{AUG} + Ga$$

[1] $(GR)_{SRH}$: 熱的なキャリヤの生成消滅項で Si の格子欠陥、ドーピング濃度に依存

$$(GR)_{SRH} = \frac{n_i^2 - p \cdot n}{\tau_n (p + n_i) + \tau_p (n + n_i)} \quad [\text{cm}]^{-3} [\text{sec}]^{-1}$$

$(GR)_{SRH} > 0$ ならば発生割合で、 $(GR)_{SRH} < 0$ ならば再結合割合を表す。 τ_n 、 τ_p は、ドーピングに依存する電子、正孔のライフタイムである

[2] $(GR)_{AUG}$: 電子と正孔のペアが再結合して消滅し、第3のキャリヤがそのエネルギーを得る過程（オージェ過程）

$$(GR)_{AUG} = (n_i^2 - p \cdot n) (C_n \cdot n + C_p \cdot p) \quad [\text{cm}]^{-3} [\text{sec}]^{-1}$$

[3] Ga : オージェ過程と逆の経過によるインパクトイオン化によるキャリヤ生成で電流密度と電場に依存

$$Ga = \frac{|J_n|}{e} \alpha_n + \frac{|J_p|}{e} \alpha_p \quad [\text{cm}]^{-3} [\text{sec}]^{-1}$$

ここで α_n 、 α_p は、電子と正孔のイオン化係数であり、キャリヤが単位長さを走行する時に発生する電子-正孔のペアの数を表す。

$$\alpha_n = A_n \cdot \exp \left[\frac{-B_n |J_n|}{|E \cdot J_n|} \right], \quad \alpha_p = A_p \cdot \exp \left[\frac{-B_p |J_p|}{|E \cdot J_p|} \right]$$

電流密度 J に垂直方向では、イオン化は起こらないので、 α_n 、 α_p の計算では $|E|$ ではなく、 $|E \cdot J|$ を使う。

各 $(GR)_{SRH}$ 、 $(GR)_{AUG}$ 、 Ga 項の定数数値は、すべてS. Selberherr他2の文献「Two Dimensional Mos-Transistor Modeling」を参照した。ゲート長 $0.6 [\mu\text{m}]$ で、 $V_G=3 [\text{V}]$ 、 $V_D=2 [\text{V}]$ と $6 [\text{V}]$ の場合の各GR3項の数値配分は表6ようになる。計算場所は、チャネルのドレイン端で SiO_2 界面上をとる。

表6 GRの構成(単位: $[cm]^{-3} [sec]^{-1}$)

| ドレイン電圧 | (GR) | (GR) _{SRH} | (GR) _{Aug} | Ga |
|--------|-------------|---------------------|---------------------|-------------|
| 2 [V] | 0.178737D24 | -0.324351D18 | -0.122971D18 | 0.178738D24 |
| 6 [V] | 0.147216D28 | -0.185030D22 | -0.417720D15 | 0.147216D28 |

この数値例から、(GR)の構成はGaがキャリア生成項として主部を占め、(GR)_{SRH}、(GR)_{Aug}は、キャリア再結合項として働くことが分かる。ドレイン電圧が2 [V]では、まだGR項の効果はでない。次に、GR項の効果と短チャネル効果の関係を見るために、ゲート長を0.6 [μm]と1.2 [μm]として、 $V_D=6$ [V]、 $V_G=3$ [V]の条件で比較する。表7に見るように、GR項を考慮すると、正孔密度pの変化が大きいので、ガンメル反復1回当りのpの移流拡散方程式を解くBCG反復が増える。ただし、長チャネルでは、GR項のあるなしで電流値の上では、ほとんど変わらない。短チャネルでは、GR項を入れるとGR=0の場合に比べ、より電流が流れる。GR項が入ることにより、CPU時間はGR項が効果を及ぼす場合に限り、GR=0に比べおよそ3倍以上かかる。

表7 GR項の効果と短チャネル効果

| ゲート長 | GR | ガンメル反復 | ICCG (ϕ), BCG反復 (n, p) | CPU時間 | ドレイン電子電流 | ゲートドレイン端のp |
|----------------|------|---------------|---------------------------------------|-----------------|----------------------|---------------------------------------|
| 0.6 μm | GR=0 | 70 (1.0)回 | 477 2854 2220回 [6.8] [40.7] [31.7] | 879 (1.0)sec | 0.578829 (100%)mA | 0.531696D-1 [cm] ⁻³ |
| | GR入り | 212 (3.02) | 1028 7556 7928 [4.8] [35.6] [37.3] | 2764 (3.14) | 0.691574 (19.47%) | 0.428389D16 |
| 1.2 μm | GR=0 | 83 (1.0) | 391 3355 3242 [4.7] [40.4] [39.0] | 1219 (1.0) | 0.178058 (100%) | 0.543610D-1 |
| | GR入り | 82 (1.0) | 362 3381 3586 [4.4] [41.2] [43.7] | 1312 (1.07) | 0.181558 (1.96%) | 0.534217D15 |

([] は、ガンメル反復1回当りの平均)

表8.1 I_D-V_D 曲線の数値例(ゲート長0.6 [μm])

| V_D | GR | ガンメル反復 | ICCG (ϕ), BCG反復 (n, p) | CPU時間 | ドレイン電子電流 | ゲートドレイン端のp |
|------------|------|---------------|---------------------------------------|----------------|----------------------|-------------|
| 4.0 [V] | GRなし | 70 (1.0) | 441 2830 2447 [6.3] [40.4] [34.9] | 899 (1.0) | 0.480323 (100%) | 0.125049D-1 |
| | GR入り | 68 (0.971) | 393 2765 2656 [5.7] [40.6] [39.0] | 946 (1.05) | 0.468008 (19.47%) | 0.224995D16 |
| 6.0 [V] | GRなし | 70 (1.0) | 477 2854 2220 [6.8] [40.7] [31.7] | 879 (1.0) | 0.578829 (100%) | 0.531696D-1 |
| | GR入り | 212 (3.02) | 1028 7556 7928 [4.8] [35.6] [37.3] | 2764 (3.14) | 0.691574 (19.47%) | 0.428389D16 |

([] は、ガンメル反復1回当りの平均)

表8.2 I_D-V_D 曲線の数値例(ゲート長1.2 [μm])

| V_D | GR | ガンメル反復 | ICCG (ϕ), BCG反復 (n, p) | CPU時間 | ドレイン電子電流 | ゲートドレイン端のp |
|------------|------|--------|--------------------------------------|----------------|----------------------|-------------|
| 4.0 [V] | GRなし | 86 | 408 3419 3532 [4.7] [39.7] [41.0] | 1275 (1.0) | 0.164738 (100%) | 0.126233D-1 |
| | GR入り | 86 | 401 3439 3827 [4.6] [39.9] [44.5] | 1363 (1.06) | 0.164931 (0.117%) | 0.414039D15 |
| 6.0 [V] | GRなし | 83 | 391 3355 3242 [4.7] [40.4] [39.0] | 1219 (1.0) | 0.178058 (100%) | 0.543610D-1 |
| | GR入り | 82 | 362 3381 3586 [4.4] [41.2] [43.7] | 1312 (1.07) | 0.181558 (1.965%) | 0.534217D15 |

5 短チャネル効果と数値シミュレーション

n-MOSでは、 V_G を一定にして V_D を上げていくと、ドレイン側のチャネルがピンチオフになり、チャネルが切れるためにドレイン電流が飽和する。しかし、短チャネル(0.6 [μm])では、この電流が飽和せず、 V_D に従って上昇する。これはソース側の空乏層とドレイン側の空乏層がゲート長が短いために中央で重なりあい、ゲート電圧でうまく反転層を制御できなくなるためである。そして、さらに V_D を上げていくと、ドレイン電流は基板の方へも流れ、ついには制御不能となる。この現象は、アバランシェ・ブレイクダウンとして知られ、GR項(特にGa項)を考慮することにより数値シミュレーションできる。ドレイン電流 I_D-V_D 曲線の数値例をゲート長が0.6と1.2 [μm]で、 $V_G=3$ [V]として、GR=0(実線)とGRを入れた(点線)場合に図3に示す。GR項の効果は、短チャネルで、高いドレイン電圧 V_D で現れ、CPU時間も増大する(表8)。GR項を組み込んでも、GRの効果が見れない場合には、GR=0とのCPU差は5%程度である。 I_D-V_D 曲線は、ゲート長1.2 [μm]では、ほとんどGRありなしで変わらないが(pは相当変わる)、ゲート長0.6 [μm]では、 $V_D=4$ [V]あたりから、GR値が大きくなり始め、GRありなしで差が開き始める。この数値例では $V_D=6.5$ [V]で、アバランシェ・ブレイクダウンが起こる。

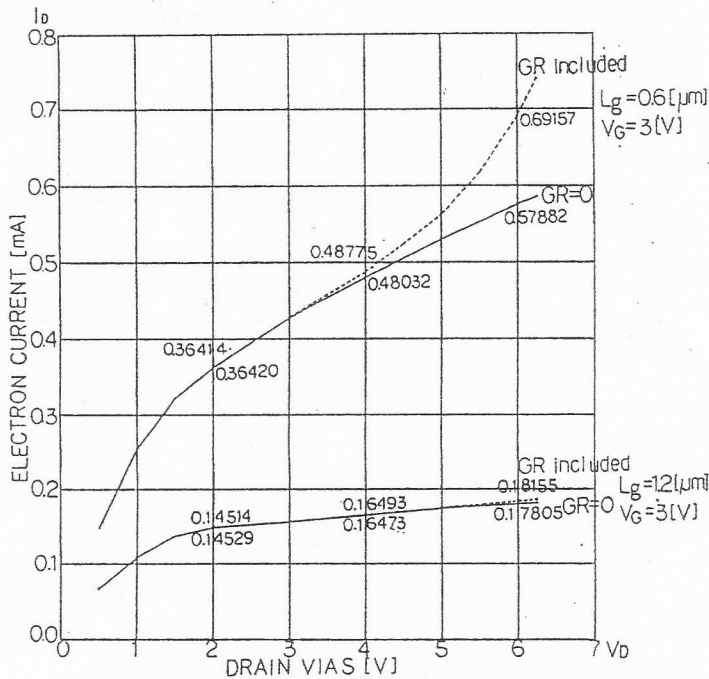


図3 I_D-V_D 曲線 ($V_G=3$ [V])

6 おわりに

GRが電流結果に影響を及ぼさずシミュレーション条件では、CPU時間がおおよそ3倍以上増大することが分かった。このCPU時間の短縮には、ドレイン電子電流の相対的相違が1%以下で、2段階あみ目とリゾーニングの併用法が有効であることを確認した。

7 参考文献

- [1] 村田 健郎, 青木 孝: デバイスシミュレーションにおける多段階あみ目法の効用ほか, 第23回数値解析シンポジウム, (1994)
- [2] SELBERHERR, S., A. SCHUTZ and H. POTZL: Two Dimensional MOS-Transistor Modeling: Process and Device Modeling for Integrated Circuit Design (Martinus Nijhoff, The Hague, 1983), 490-581
- [3] 富士総合研究所編, 「半導体素子設計シミュレータ」, 丸善(1991), 2章(デバイスシミュレータ)
- [4] SELBERHERR, S: Analysis and Simulation of Semiconductor Devices, Springer-Verlag Wien New York (1984)